



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07029994 A**(43) Date of publication of application: **31.01.95**

(51) Int. Cl.

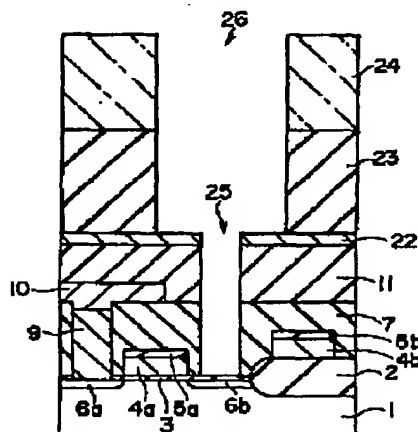
**H01L 21/8242****H01L 27/108****H01L 27/04****H01L 21/822**(21) Application number: **05191791**(71) Applicant: **NEC CORP**(22) Date of filing: **07.07.93**(72) Inventor: **MORI HIDEMITSU**(54) **METHOD OF MANUFACTURING  
SEMICONDUCTOR DEVICE**

## (57) Abstract:

**PURPOSE:** To provide a method of manufacturing a stacked capacitor which enhances reliability and which reduces manufacturing cost.

**CONSTITUTION:** A transistor part and bit lines 1 to 3, 4a, 4b, 5a, 5b, 6a, 6b, 7, 9, 10 are formed by a normal method, and an interlayer insulation layer 11 is formed. Next, a conductive layer 22, an insulation layer 23, and a resist layer 24 are successively formed to pattern the insulation layer 22 and conductive layer 23 in a tapered shape. Continuously, the insulation layers 11, 7 are etched. At this time, an opening part 25 and an opening part 26 to be used as a mold of a lower part electrode are formed simultaneously. Next, a conductive layer is formed in a formed groove as a lower part electrode, and an unneeded part is removed, and further a conductive layer is formed as an upper part electrode, whereby a cylindrical stacked capacitor is formed.

COPYRIGHT: (C)1995,JPO



実施例 1

1

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-29994

(43)公開日 平成7年(1995)1月31日

(51)Int.Cl.

識別記号

F I

H01L 21/8242

27/108

27/04

21/822

7210-4M

H01L 27/10

325

C

審査請求 有 請求項の数 3 F D (全10頁) 最終頁に続く

(21)出願番号 特願平5-191791

(22)出願日 平成5年(1993)7月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 森 秀光

東京都港区芝五丁目7番1号 日本電気株

式会社内

(74)代理人 弁理士 五十嵐 省三

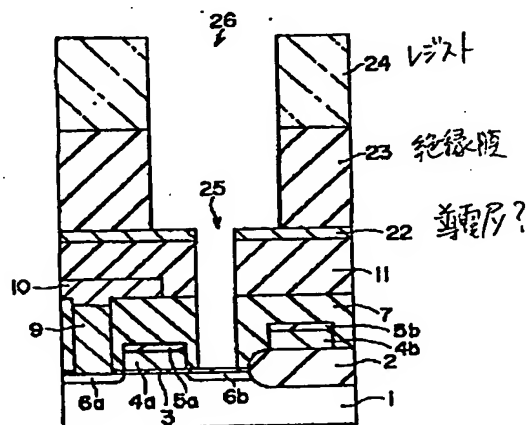
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 信頼性を向上させかつ製造コストを低減したスタックドキャパシタの製造方法を提供すること。

【構成】 通常の方法でトランジスタ部及びビット線1~10を形成し、層間絶縁層11を形成する。次に、導電層22、絶縁層23、レジスト層24を順次形成し、絶縁層22、導電層23をテーパー形状にパターニングする。続いて、絶縁層11、7のエッチングを行う。この際、開孔部25と下部電極のかたとなる開孔部26とが同時に形成される。次に形成された溝内に下部電極としての導電層を形成し、不要部分を取り除き、さらに、上部電極としての導電層31を形成することにより、円筒型のスタックドキャパシタを形成する。

本発明の第1の実施例(その2)



- |                     |              |
|---------------------|--------------|
| 1-P型半導体基板           | 9-導電層        |
| 2-フィールド酸化膜          | 10-導電層(ビット線) |
| 3-ゲート酸化膜            | 11-絶縁層       |
| 4, 4a, 4b-導電層(ワード線) | 22-導電層       |
| 5, 5a, 5b-絶縁層       | 23-絶縁層       |
| 6a, 6b-N+形不純物拡散層    | 24-レジスト層     |
| 7-絶縁層               | 25-第1の開孔     |
| 8-開孔部               | 26-第2の開孔部    |

## 【特許請求の範囲】

【請求項 1】 半導体基板 (1) 内の不純物拡散領域 (6 b) 上に設けられた第 1 の絶縁層 (7、11) 内の第 1 の開孔部 (25、36) に埋設された金属層と、前記第 1 の絶縁層上に設けられた第 2 の絶縁層内の第 2 の開孔部 (26、37) に埋設され、前記金属層に接続されたキャパシタ下部電極層と、  
該下部電極層に第 3 の絶縁層を介して対向して設けられたキャパシタ上部電極層 (31) とを具備する半導体装置であって、  
前記第 1 の開孔部の形成は前記第 2 の開孔部の形成と自己整合的に行われることを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板 (1) 上に、第 1 の絶縁層 (7、11)、第 1 の導電層 (22)、第 2 の絶縁層 (23) 及びレジスト層 (24) を順次形成する工程と、  
該レジスト層に開孔パターンを形成する工程と、  
該開孔パターンを用いて前記第 2 の絶縁層に上部より下部が小さい開孔部 (23 a) を形成する工程と、  
前記レジスト層及び前記第 2 の絶縁層をマスクとして前記第 1 の導電層をエッチングする工程と、  
前記レジスト層、前記第 2 の絶縁層及び前記第 1 の導電層をマスクとして前記第 1 の絶縁層をエッチングする工程と、  
前記レジスト層を除去する工程と、  
前記第 2 の絶縁層、前記第 1 の導電層及び前記第 1 の絶縁層に形成された開孔部にキャパシタ下部電極層 (22、27、29) を形成する工程と、  
該キャパシタ下部電極層に対向するキャパシタ上部電極層 (31) を形成する工程とを具備する半導体装置の製造方法。

【請求項 3】 半導体基板 (1) 上に、第 1 の絶縁層 (7、11)、第 1 の導電層 (32)、第 2 の絶縁層 (33) 及び第 2 の導電層 (34) を順次形成する工程と、  
前記第 2 の導電層及び前記第 2 の絶縁層に開孔部 (37) を形成する工程と、  
該開孔部のみに第 3 の絶縁層 (35 a、35 b) を形成する工程と、  
該第 3 の絶縁層をマスクとして前記第 1 の導電層をエッチングする工程と、  
前記第 2 の導電層をマスクとして前記第 3 の絶縁層をエッチングすると共に、前記第 1 の導電層をマスクとして前記第 1 の絶縁層をエッチングする工程と、  
前記第 2 の導電層、前記第 2 の絶縁層、前記第 1 の導電層及び前記第 1 の絶縁層に形成された開孔部にキャパシタ下部電極層 (32、38、40) を形成する工程と、  
該キャパシタ下部電極層に対向するキャパシタ上部電極層 (31) を形成する工程とを具備する半導体装置の製

造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法、特に、ダイナミック形ランダムアクセスメモリ (DRAM) のスタックドキャパシタの製造方法に関する。

## 【0002】

【従来の技術】 従来、DRAM のメモリセルキャパシタとして蓄積容量を大きくしたスタックドキャパシタが知られており、この種のスタックドキャパシタを 3 次的に配置してさらに蓄積容量を大きくする共にメモリセル面積を小さくする努力がなされてきた。

【0003】 たとえば、3 次的なスタックドキャパシタとして多量円筒型で形成するものがある (参照: D. Temmler, "MULTILAYER VERTICAL STACKED CAPACITORS (MVSTC) FOR 64 Mbit AND 256 Mbit DRAMs, Spm. VLSI Tech., 1991, pp. 13-14)。この多重円筒型スタックドキャパシタの製造方法について図 11 ~ 図 16 を参照して説明する。

【0004】 図 11 の (A) を参照すると、半導体基板 1 たとえば P 型単結晶シリコン基板 1 の表面の所定領域に、たとえば LOCOS 法により素子分離領域としてのたとえば 3000 Å 程度のフィールド酸化膜 2 を形成する。

【0005】 次に、図 11 の (B) を参照すると、半導体基板 1 を熱酸化してたとえば 1000 Å 程度のゲート酸化膜 3 を形成し、その後、全面に LPCVD 法によりたとえば 1500 Å 程度のポリシリコンよりなる導電層 4 を形成する。次に、導電層 4 にリン等の不純物を拡散して抵抗値を低下せしめ、その上に、LPCVD 法によりたとえば 500 Å 程度の二酸化シリコンよりなる絶縁層 5 を形成する。

【0006】 次に、図 1 の (C) を参照すると、通常の写真リソグラフィ法及びドライエッチング法により、導電層 4 及び絶縁層 5 の所定の部分以外を除去し、これにより、MOS トランジスタのゲート電極としてのワード線 4 a、4 b が形成する。その後、イオン注入法により、半導体基板 1 の表面にソース、ドレイン領域としての比較的低濃度の N' 形不純物層 6 a、6 b を形成する。

【0007】 次に、図 12 の (A) を参照すると、たとえば LPCVD 法等により、たとえば 3000 Å 程度の二酸化シリコン等よりなる絶縁層 7 を形成した後に、通常の写真リソグラフィ法及びドライエッチング法により、所定の領域にビット線と拡散層とを接続するための開孔部 8 を形成する。

【0008】 次に、図 12 の (B) を参照すると、開孔部 8 に選択的にポリシリコンよりなる導電層 9 を形成

し、たとえばリン等の不純物を拡散した後に、たとえばスパッタリング法によりたとえば1000Å程度のダングステンシリサイド膜よりなる導電層10を形成し、通常のフォトリソグラフィー法及びドライエッチング法により、所定に形状にパターニングし、これにより、ビット線10が形成される。

【0009】次に、図12の(C)を参照すると、たとえば3000Å程度の二酸化シリコンの絶縁層11を全面に形成する。

【0010】次に、図13の(A)を参照すると、通常のフォトリソグラフィー法及びドライエッチング法により、所定の領域に後述の下部電極層と拡散層6bを接続するための開孔部を形成する。次に、この開孔部に選択的に例えばリン等の不純物を拡散したポリシリコンのような導電層14を形成し、さらに、たとえば500Å程度のポリシリコンのような導電層12を全面に形成し、これにたとえばリン等の不純物を拡散する。

【0011】次に、図13の(B)を参照すると、たとえば6000Å程度の二酸化シリコンのような絶縁層13を全面に形成し、通常のフォトリソグラフィー法及びドライエッチング法により、ノード電極形状になるよう不要部分16を除去する。

【0012】次に、図14の(A)を参照すると、たとえば1000Å程度のポリシリコンのような導電層17を全面に形成する。さらに、たとえば1000Å程度の二酸化シリコンのような絶縁膜18を全面に形成し、導電層17の上部に形成された絶縁層18のみがエッチングされるようエッチング時間を制御してドライエッチングを行う。これにより、開孔部内部に絶縁層18の側壁絶縁層18a、18bが形成される。さらに、たとえば8000Å程度のポリシリコンのような導電層19を全面に形成する。

【0013】次に、図14の(B)を参照すると、絶縁層13、18が表面に現れてくる程度にエッチング時間を制御して、導電層17、19のドライエッチングを行う。

【0014】次に、図15の(A)を参照すると、等方性エッチングにより絶縁層13、18a、18bを全て除去する。次に、表面に現れた導電層12をドライエッチングによりエッチングする。この際、導電層17、19の上部もわずかにエッチングされる。これにより、円筒型の下部電極が形成される。

【0015】次に、図15の(B)を参照すると、たとえばイオン注入法等により、下部電極17、19にたとえばリン等の不純物を拡散する。その後、容量絶縁層20を形成し、さらにその上にたとえばポリシリコンのような導電層21を形成する。この導電層21中にはたとえばリン等の不純物を拡散する。次に、通常のフォトリソグラフィー法及びドライエッチング法により、導電層21のパターニングを行って上部電極を形成し、これ

により、DRAMのキャパシタ部が完成することになる。

【0016】なお、図13の(B)までの工程を行った後に、導電層17を形成し、さらに側壁絶縁層18a、18bを形成する工程をn回繰返した後に、導電層19を形成し、その後の工程は図13の(A)～図15の(B)と同様の工程を経ることにより、n重のシリンダキャパシタを形成することができる。

【0017】

【発明が解決しようとする課題】しかしながら、上述の従来のDRAM製造方法においては、キャパシタ下部電極と拡散層を接続するための開孔部の形成を含めて下部電極を形成するためには、下部電極と拡散層を接続するための開孔部を形成するためのフォトリソグラフィーと、下部電極のかたとなる部分を形成するためのフォトリソグラフィーの最低計2回フォトリソグラフィーが必要である。この結果、フォトリソグラフィーのたびに目合わせが必要になってくるため、かつフォトリソグラフィーの回数が増えるほど後工程における目ずれが大きくなるため、半導体装置の信頼性が低下するという課題がある。つまり、最終的に得られたDRAMの一部の平面的レイアウトである図16を参照すると、もしもノード電極の型となる部分16と同様の大きさの開孔を不純物拡散層6まで形成したとすると、ワード線4及びビット線10とショートしてしまうことが分かる。逆に、下部電極と拡散層を接続する開孔部15と同様の大きさキャパシタ下部電極までを形成しようすると、キャパシタの容量値は非常に小さいものとなり、満足のできるホールド特性が得られなくなる。従って、ノード電極のかたとなる部分16の開孔部の直径は、下部電極と不純物拡散層6を接続するための開孔部15の直径よりも数倍程度大きくする必要がある。この結果、上述のごとく、フォトリソグラフィーの回数が増加すると、半導体装置の信頼性を低下することになる。また、フォトリソグラフィーの回数が増えることによって工程数も増大し、半導体装置の製造過程におけるコストを増大させるという課題もある。従って、本発明の目的は、信頼性を向上させかつ製造コストを低減した半導体装置(スタックドキャパシタ)の製造方法を提供することにある。

【0018】

【課題を解決するための手段】上述の課題を解決するために本発明は、半導体基板内の不純物拡散層とキャパシタ下部電極とを接続する開孔部の形成を、下部電極のかたとなる開孔部の形成と自己接合的に行う。

【0019】

【作用】上述の手段によれば、不純物拡散層とキャパシタ下部電極と拡散層を接続するための開孔部を形成するためのフォトリソグラフィーと、下部電極のかたとなる開孔部を形成するためのフォトリソグラフィーを同時に1回のみフォトリソグラフィーで行うことになり、フ

オトリソグラフィーの回数が減少する。

#### 【0020】

【実施例】次に、本発明の第1の実施例を図1～図6を参照して説明する。初期工程は従来と全く同一であり、図11～図12に従ってMOSトランジスタ及びビット線を形成した後に、絶縁層11を全面に形成する。

【0021】次に、図1を参照すると、たとえば2000Å程度のポリシリコンからなる導電層22、たとえば6000Å程度の二酸化シリコン等の絶縁層23、及びレジスト層24を順次形成した後に、通常の写真リソグラフィ法によりノード電極のかたとなるようにリソグラフィを行い、レジスト層24をマスクとして絶縁膜13のドライエッチングを行う。この際、絶縁層に開孔された開孔部23aは、開孔部の上部よりも下部のほうが小さくなるようなドライエッチングを行う。その大きさは、開孔部上部と下部の直径比が少なくとも2倍以上あるほうが適当である。これは、下部電極のかたとなる大きさに不純物拡散層6b上まで開孔を形成しようとすると、ゲート電極（ワード線）及びビット線とショートしてしまうためである。さらに、レジスト層24及び絶縁層23をマスクとして導電層22のエッチングを行う。

【0022】次に、図2を参照すると、レジスト層24をマスクとして絶縁層23に対して通常の異方性のドライエッチングを行う。このようにして、下部電極と不純物拡散層6bを接続するための開孔部25の形成と、下部電極のかたとなる開孔部26の形成とが、同時に1回のみのリソグラフィで行われることになる。

【0023】次に、図3を参照すると、レジスト層24を除去し、その後、たとえば1000Å程度のポリシリコンのような導電層27を全面に形成する。さらに、たとえば1000Å程度の二酸化シリコンのような絶縁層28を全面に形成し、導電層27の上部に形成された絶縁層28のみがエッチングされるようエッチング時間を制御してドライエッチングを行う。これにより、開孔部内部に絶縁膜28の側壁絶縁層28a、28bが形成される。さらに、たとえば8000Å程度のポリシリコンのような導電層29を全面に形成する。

【0024】次に、図4を参照すると、絶縁層23、28a、28bが表面に現れてくる程度にエッチング時間を制御して、導電層27、29のドライエッチングを行う。次に、図5を参照すると、等方性エッチングにより絶縁層23、18a、18bを全て除去する。次に、表面に現れた導電層22がエッチングされるようにドライエッチングを行う。この際、導電層27、29の上部もわずかにエッチングされる。これにより、円筒型の下部電極が形成されることになる。

【0025】次に、図6を参照すると、たとえばイオン注入法等により下部電極にたとえばリン等の不純物を拡散する。その後、容量絶縁層30及び例えばポリシリコ

ンのような導電層31を形成し、この導電層31中に例えばリン等の不純物を拡散する。次に、通常の写真リソグラフィ法及びドライエッチング法により、導電層31のパターニングを行って上部電極を形成し、DRAMのキャパシタが完成することになる。

【0026】なお、図2までの工程を行った後に、導電層27を形成し、さらに側壁絶縁層28a、28bを形成する工程をn回繰り返した後に、導電層29を堆積し、その後の工程は図3～図6と同様の工程を得ることにより、n重のシリンダキャパシタを形成することができる。

【0027】このように、本発明の第1の実施例の場合は、下部電極と拡散層を接続するための開孔部を形成するための写真リソグラフィと、下部電極のかたとなる部分を形成するための写真リソグラフィとが同時に1回のみの写真リソグラフィで行われることになる。

【0028】次に、本発明の第2の実施例を図7～図10を参照して説明する。この場合も、図11～図12までの初期工程は第1の実施例と全く同一の方法で形成できる。

【0029】始に、図7を参照すると、たとえば1000Å程度のポリシリコン膜等の導電層32、たとえば6000Å程度の二酸化シリコン等の絶縁層33及び例えば2000Å程度のポリシリコンからなる導電層34を順次堆積したのちに、通常の写真リソグラフィ法及びドライエッチング法により、導電層34及び絶縁層33は、下部電極のかたとなる部分の形状にパターニングされる。この際のドライエッチングは通常の異方性エッチングである。

【0030】次に、図8を参照すると、たとえば2000Å程度の二酸化シリコンのような絶縁層35を形成し、続いて導電層34の上部に形成された絶縁層35のみがエッチングされるようエッチング時間を制御してドライエッチングを行う。これにより、絶縁層33の内壁に絶縁膜35の側壁絶縁層35a、35bを形成する。さらに、この側壁絶縁層35a、35bをマスクとして、導電層32のエッチングを行う。

【0031】次に、図9を参照すると、導電層34をマスクとして通常のドライエッチングにより側壁絶縁層35a、35bを全てエッチングし、同時に導電層32をマスクとしてその下の絶縁層7、11を所定の形状にエッチングする。従って、この実施例においても、下部電極と拡散層を接続するための開孔部36の形成と、下部電極のかたとなる開孔部37の形成とが、同時に1回のみのリソグラフィで行うことができる。

【0032】次に、図10を参照すると、たとえばポリシリコンからなる導電層38を形成する。さらに、たとえば1000Å程度の二酸化シリコンのような絶縁層39を全面に形成し、導電層38の上部に形成された絶縁

層 3 9 のみがエッチングされるようエッチング時間を制御してドライエッチングを行う。これにより、開孔部内部に側壁絶縁層 3 9 a、3 9 b が形成される。さらに、たとえば 8 0 0 0 Å 程度のポリシリコンのような導電層 4 0 を全面に形成する。これ以降は、図 4 ~ 図 6 と同様の工程を得ることによりキャパシタを形成することができる。

【0033】このように、第 2 の実施例においても、下部電極と拡散層を接続するための開孔部 3 6 の形成と、下部電極のかたとなる開孔部 3 7 の形成とが、同時に 1 0 回のみのリソグラフィーで行うことができる。

【0034】なお、上述の実施例においては、MOS トランジスタ及びビット線を形成したのちにキャパシタを形成する、いわゆる COB (Capasitor-Over-Bitline) 構造について説明しているが、本発明はビット線が MOS トランジスタ及びキャパシタを形成した後に形成される構造についても適用できる。すなわち、MOS トランジスタを形成した後に層間膜を形成し、さらに上述のスタックドキャパシタ形成工程を得た後に、ビット線を形成する方法にも本発明は適用で 20 ける。

#### 【0035】

【発明の効果】以上説明したように本発明によれば、フォトリソグラフィーを用いる回数を減少でき、従って、フォトリソグラフィーの目ズレによる不良の発生を低減することができ、この結果、半導体装置の信頼性を向上できる。また、フォトリソグラフィーの回数が最低 1 回以上減少できるので、半導体装置の製造過程におけるコストも低減できる。

#### 【図面の簡単な説明】

【図 1】本発明に係る半導体装置の製造方法の第 1 の実施例を説明する断面図である。

【図 2】本発明に係る半導体装置の製造方法の第 1 の実施例を説明する断面図である。

【図 3】本発明に係る半導体装置の製造方法の第 1 の実施例を説明する断面図である。

【図 4】本発明に係る半導体装置の製造方法の第 1 の実施例を説明する断面図である。

【図 5】本発明に係る半導体装置の製造方法の第 1 の実施例を説明する断面図である。

【図 6】本発明に係る半導体装置の製造方法の第 1 の実施例を説明する断面図である。

【図 7】本発明に係る半導体装置の製造方法の第 2 の実施例を説明する断面図である。

【図 8】本発明に係る半導体装置の製造方法の第 2 の実施例を説明する断面図である。

【図 9】本発明に係る半導体装置の製造方法の第 2 の実施例を説明する断面図である。

【図 10】本発明に係る半導体装置の製造方法の第 2 の実施例を説明する断面図である。

【図 11】従来の半導体装置の製造方法を説明する断面図である。

【図 12】従来の半導体装置の製造方法を説明する断面図である。

【図 13】従来の半導体装置の製造方法を説明する断面図である。

【図 14】従来の半導体装置の製造方法を説明する断面図である。

【図 15】従来の半導体装置の製造方法を説明する断面図である。

【図 16】従来の半導体装置の製造方法の課題を説明する平面図である。

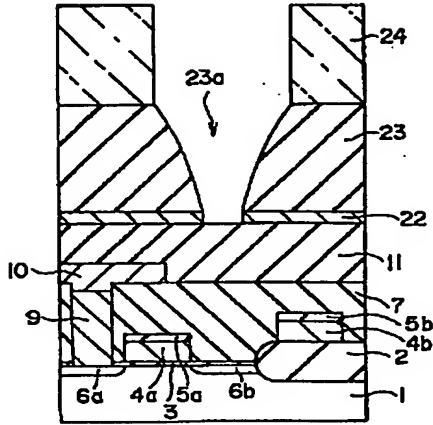
#### 【符号の説明】

- 1...P' 形半導体基板
- 2...フィールド酸化膜
- 3...ゲート酸化膜
- 4、4 a、4 b...導電層 (ワード線)
- 5、5 a、5 b...絶縁層
- 6 a、6 b...N' 形不純物拡散層
- 7...絶縁層
- 8...開孔部
- 9...導電層
- 10...導電層 (ビット線)
- 11...絶縁層
- 12...導電層
- 13...絶縁層
- 14...導電層
- 15...第 1 の開孔部
- 16...第 2 の開孔部
- 17...導電層
- 18 a、18 b 絶縁層
- 19...導電層
- 20...容量絶縁層
- 21...導電層 (上部電極)
- 22...導電層
- 23...絶縁層
- 24...レジスト層
- 25...第 1 の開孔部
- 26...第 2 の開孔部
- 27...導電層
- 28 a、28 b...絶縁層
- 29...導電層
- 30...容量絶縁層
- 31...導電層 (上部電極)
- 32...導電層
- 33...絶縁層
- 34...導電層
- 37...第 2 の開孔部
- 38...導電層
- 39 a、39 b...側壁絶縁層

40...導電層

【図1】

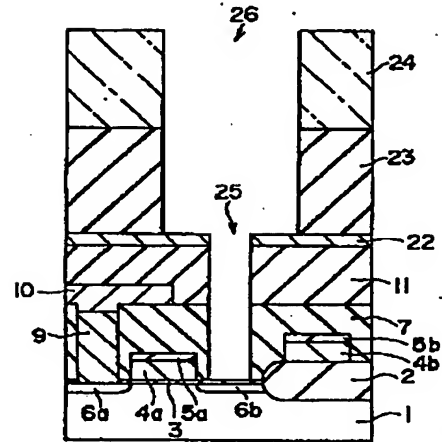
本発明の第1の実施例(その1)



- |                                 |                |
|---------------------------------|----------------|
| 1...P-形半導体基板                    | 8...開孔部        |
| 2...フィールド酸化膜                    | 9...導電層        |
| 3...ゲート酸化膜                      | 10...導電層(ビット線) |
| 4, 4a, 4b...導電層(ワード線)           | 11...絶縁層       |
| 5, 5a, 5b...絶縁層                 | 22...導電層       |
| 6a, 6b...N <sup>+</sup> 形不純物拡散層 | 23...絶縁層       |
| 7...絶縁層                         | 24...レジスト層     |

【図2】

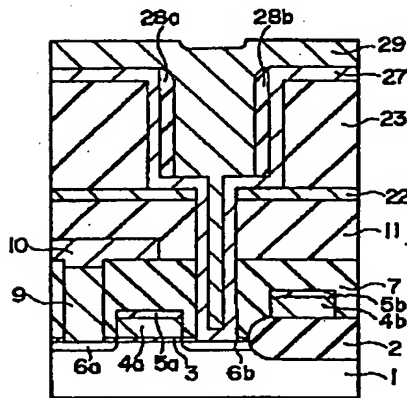
本発明の第1の実施例(その2)



- |                                 |                |
|---------------------------------|----------------|
| 1...P-形半導体基板                    | 9...導電層        |
| 2...フィールド酸化膜                    | 10...導電層(ビット線) |
| 3...ゲート酸化膜                      | 11...絶縁層       |
| 4, 4a, 4b...導電層(ワード線)           | 22...導電層       |
| 5, 5a, 5b...絶縁層                 | 23...絶縁層       |
| 6a, 6b...N <sup>+</sup> 形不純物拡散層 | 24...レジスト層     |
| 7...絶縁層                         | 25...第1の開孔部    |
| 8...開孔部                         | 26...第2の開孔部    |

【図3】

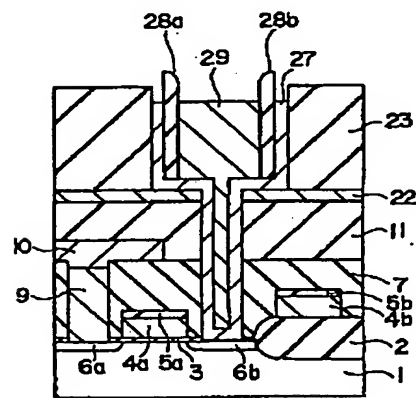
本発明の第1の実施例(その3)



- |                                 |                |
|---------------------------------|----------------|
| 1...P-形半導体基板                    | 10...導電層(ビット線) |
| 2...フィールド酸化膜                    | 11...絶縁層       |
| 3...ゲート酸化膜                      | 22...導電層       |
| 4, 4a, 4b...導電層(ワード線)           | 23...絶縁層       |
| 5, 5a, 5b...絶縁層                 | 24...レジスト層     |
| 6a, 6b...N <sup>+</sup> 形不純物拡散層 | 27...導電層       |
| 7...絶縁層                         | 28, 28b...絶縁層  |
| 8...開孔部                         | 29...導電層       |
| 9...導電層                         |                |

【図4】

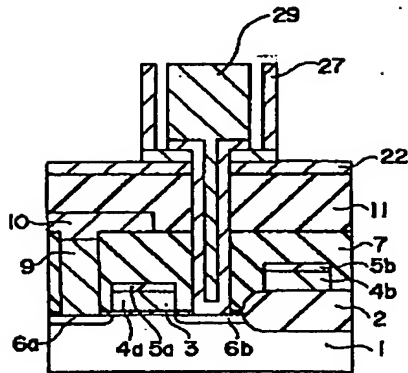
本発明の第1の実施例(その4)



- |                                 |                |
|---------------------------------|----------------|
| 1...P-形半導体基板                    | 10...導電層(ビット線) |
| 2...フィールド酸化膜                    | 11...絶縁層       |
| 3...ゲート酸化膜                      | 22...導電層       |
| 4, 4a, 4b...導電層(ワード線)           | 23...絶縁層       |
| 5, 5a, 5b...絶縁層                 | 24...レジスト層     |
| 6a, 6b...N <sup>+</sup> 形不純物拡散層 | 27...導電層       |
| 7...絶縁層                         | 28, 28b...絶縁層  |
| 8...開孔部                         | 29...導電層       |
| 9...導電層                         |                |

【図 5】

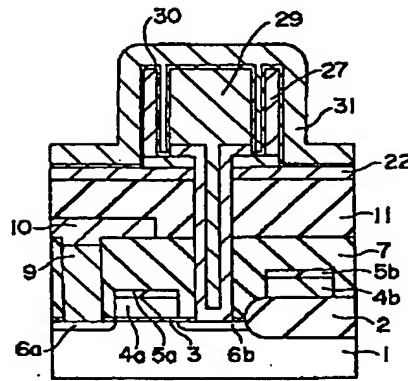
本発明の第1の実施例 (その5)



- |                                 |                 |
|---------------------------------|-----------------|
| 1...P-型半導体基板                    | 9...導電層         |
| 2...フィールド酸化膜                    | 10...導電層 (ビット線) |
| 3...ゲート酸化膜                      | 11...絶縁層        |
| 4, 4a, 4b...導電層 (ワード線)          | 22...導電層        |
| 5, 5a, 5b...絶縁層                 | 23...絶縁層        |
| 6a, 6b...N <sup>+</sup> 型不純物拡散層 | 24...レジスト層      |
| 7...絶縁層                         | 27...導電層        |
| 8...開孔部                         | 29...導電層        |

【図 6】

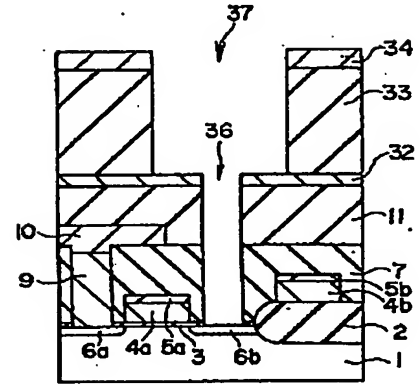
本発明の第1の実施例 (その6)



- |                                 |                 |
|---------------------------------|-----------------|
| 1...P-型半導体基板                    | 10...導電層 (ビット線) |
| 2...フィールド酸化膜                    | 11...絶縁層        |
| 3...ゲート酸化膜                      | 22...導電層        |
| 4, 4a, 4b...導電層 (ワード線)          | 23...絶縁層        |
| 5, 5a, 5b...絶縁層                 | 24...レジスト層      |
| 6a, 6b...N <sup>+</sup> 型不純物拡散層 | 27...導電層        |
| 7...絶縁層                         | 29...導電層        |
| 8...開孔部                         | 34...容量絶縁層      |
| 9...導電層                         | 31...導電層        |
- (上部電極)

【図 9】

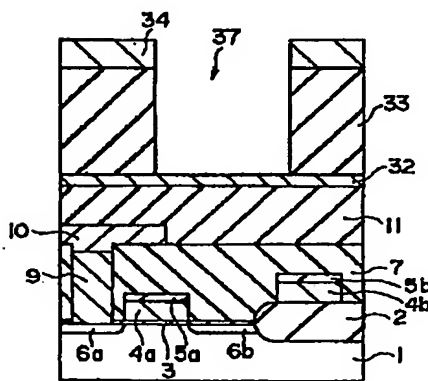
本発明の第2の実施例 (その3)



- |                                 |                 |
|---------------------------------|-----------------|
| 1...P-型半導体基板                    | 9...導電層         |
| 2...フィールド酸化膜                    | 10...導電層 (ビット線) |
| 3...ゲート酸化膜                      | 11...絶縁層        |
| 4, 4a, 4b...導電層 (ワード線)          | 22...導電層        |
| 5, 5a, 5b...絶縁層                 | 23...絶縁層        |
| 6a, 6b...N <sup>+</sup> 型不純物拡散層 | 24...レジスト層      |
| 7...絶縁層                         | 27...導電層        |
| 8...開孔部                         | 29...導電層        |
- 36...第1の開孔部  
37...第2の開孔部

【図 7】

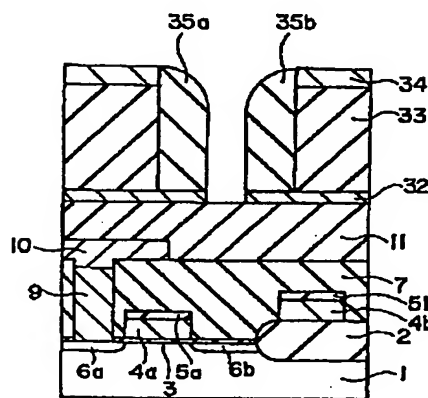
本発明の第2の実施例 (その1)



- |                                 |                 |
|---------------------------------|-----------------|
| 1...P-型半導体基板                    | 8...開孔部         |
| 2...フィールド酸化膜                    | 9...導電層         |
| 3...ゲート酸化膜                      | 10...導電層 (ビット線) |
| 4, 4a, 4b...導電層 (ワード線)          | 11...絶縁層        |
| 5, 5a, 5b...絶縁層                 | 22...導電層        |
| 6a, 6b...N <sup>+</sup> 型不純物拡散層 | 23...絶縁層        |
| 7...絶縁層                         | 24...導電層        |

【図 8】

本発明の第2の実施例 (その2)

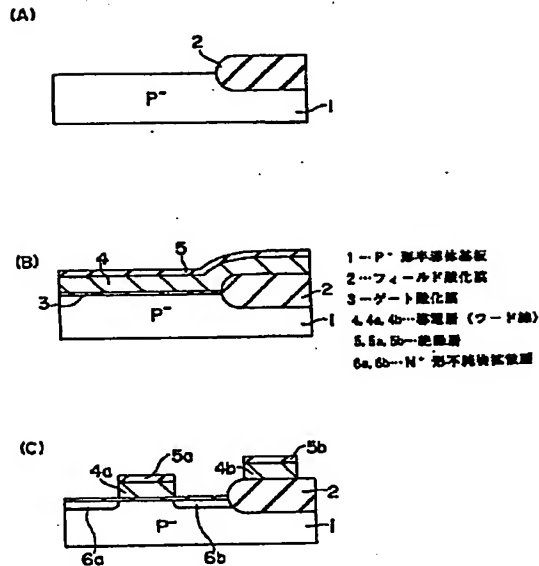


- |                                 |                 |
|---------------------------------|-----------------|
| 1...P-型半導体基板                    | 9...導電層         |
| 2...フィールド酸化膜                    | 10...導電層 (ビット線) |
| 3...ゲート酸化膜                      | 11...絶縁層        |
| 4, 4a, 4b...導電層 (ワード線)          | 22...導電層        |
| 5, 5a, 5b...絶縁層                 | 23...絶縁層        |
| 6a, 6b...N <sup>+</sup> 型不純物拡散層 | 24...導電層        |
| 7...絶縁層                         | 27...導電層        |
| 8...開孔部                         | 29...導電層        |
- 35a, 35b...側壁絶縁層



【圖 11】

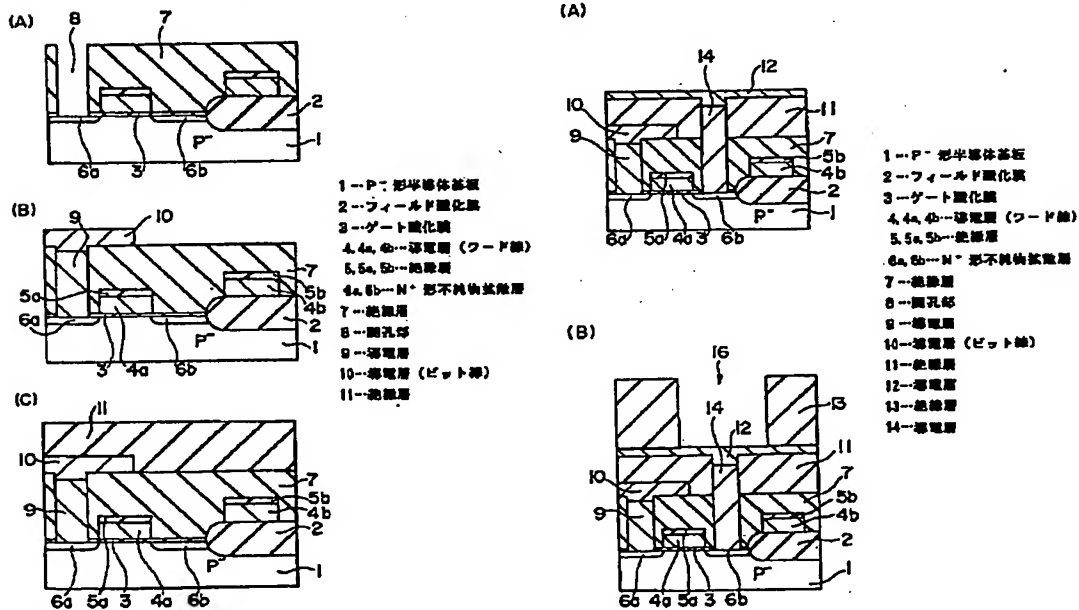
### 従来の製造方法（その１）



- |                               |                |
|-------------------------------|----------------|
| 1-PP- 形半導体基板                  | 10-導電膜 (ビット線)  |
| 2-フィールド酸化膜                    | 11-絶縁層         |
| 3-ゲート酸化膜                      | 32-導電層         |
| 4, 4a, 4b-導電層 (ワード線)          | 33-絶縁層         |
| 5, 5a, 5b-絶縁層                 | 34-導電層         |
| 6a, 6b-N <sup>+</sup> 形不純物拡散層 | 38-導電層         |
| 7-絶縁層                         | 39a, 39b-側壁絶縁層 |
| 8-開孔部                         | 40-導電層         |
| 9-導電層                         |                |

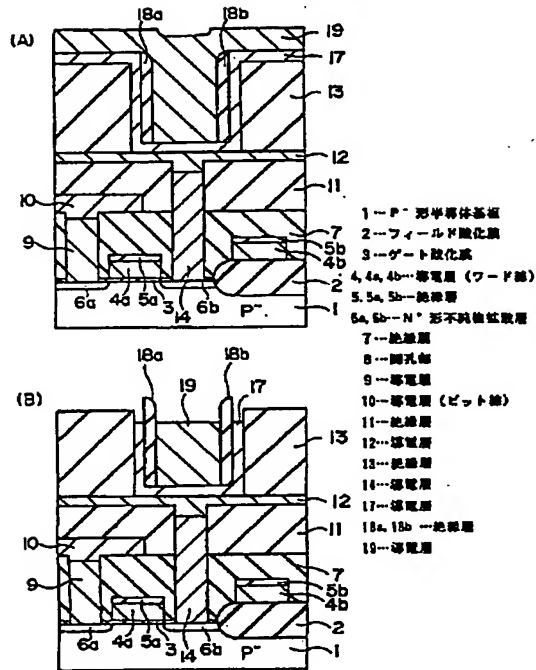
【圖 13】

### 従来の製造方法（その3）



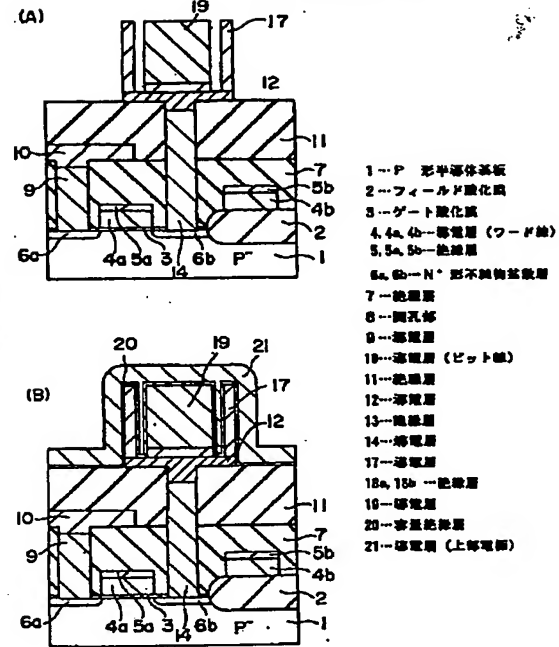
【図14】

従来の製造方法 (その4)



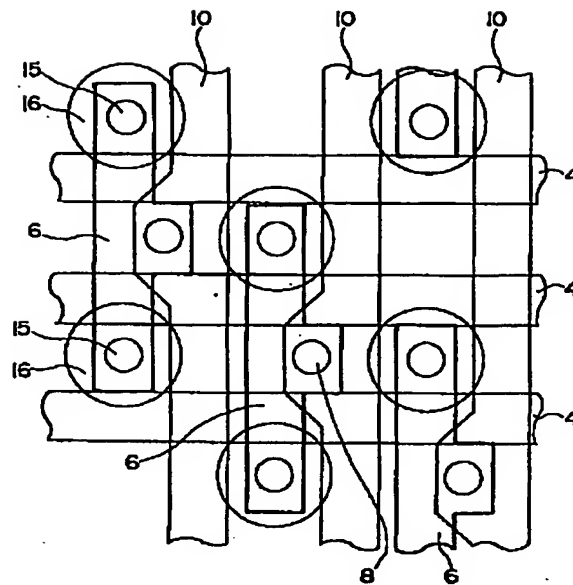
【図15】

従来の製造方法 (その5)



【図16】

図面を説明する図



- 4→導電膜（ワード線）  
 6→N<sup>+</sup>形不純物拡散層  
 8→開孔部  
 10→導電膜（ビット線）  
 15→第1の開孔部  
 16→第2の開孔部

フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

8832-4M

F I

27/04

C